# AXI Crossbar（3\*3）设计文档

**撰写人：马晓庆**

**时间：2022年7月**

目录

[AXI Crossbar（3\*3）设计文档 1](#_Toc109438247)

[1. 顶层设计概要 3](#_Toc109438248)

[1.1 模块说明 3](#_Toc109438249)

[1.2 内部通道描述 4](#_Toc109438250)

[2. Master Router模块 5](#_Toc109438251)

[2.1 功能描述 5](#_Toc109438252)

[2.2 实现原理 5](#_Toc109438253)

[2.3 信号/通道描述 5](#_Toc109438254)

[3. Slave Router模块 7](#_Toc109438255)

[3.1 功能描述 7](#_Toc109438256)

[3.2 实现原理 7](#_Toc109438257)

[3.3 信号/通道描述 7](#_Toc109438258)

[4. Misrouting模块 9](#_Toc109438259)

[4.1 功能描述 9](#_Toc109438260)

[4.2 实现原理 9](#_Toc109438261)

[4.3 信号/通道描述 9](#_Toc109438262)

[5. Address Decoder模块 10](#_Toc109438263)

[5.1 功能描述 10](#_Toc109438264)

[5.2 实现原理 10](#_Toc109438265)

[5.3 信号描述 10](#_Toc109438266)

[6. Crossbar Arbiter模块 11](#_Toc109438267)

[6.1 功能描述 11](#_Toc109438268)

[6.2 实现原理 11](#_Toc109438269)

[6.3 通道描述描述 11](#_Toc109438270)

[7. ID Decoder模块 12](#_Toc109438271)

[7.1 功能描述 12](#_Toc109438272)

[7.2 实现原理 12](#_Toc109438273)

[7.3 通道描述描述 12](#_Toc109438274)

## 顶层设计概要



### 模块说明

|  |  |
| --- | --- |
| 模块名 | 功能描述 |
| Master Router模块 | 1. 负责接受并缓冲Master主机写操作、写数据、读操作，根据地址仲裁（Address decoder）将写操作和数据通过Channel Mux/Demux提交给不同的Slave Router 2. 通过Channel Mux/Demux负责接收不同Slave Router的写响应、读响应，并将接收到的响应提交给Master主机 |
| Slave Router模块 | 1. 根据循环优先级仲裁器（Arbiter）通过Channel Mux/Demux负责接收Master Router的写操作、写数据、读操作，并将操作和数据下发给Slave从机 2. 负责接收缓冲Slave的数据，并根据主机ID中带（ID Decoder）通过Channel Mux/Demux提交给不同的Master Router |
| Crossbar Top模块 | 负责将经过仲裁（Arbiter）和解码（Decoder）的Master Router和Slave Router的读写通道交织连接在一起 |

### 内部通道描述

|  |  |  |  |
| --- | --- | --- | --- |
| 类别 | 信号 | 名称 | 描述 |
| Master | AW Channel[3][3] | 写地址通道 | 3个Master Router向3个Slave Router的写地址通道 |
| W Channel[3][3] | 写数据通道 | 3个Master Router向3个Slave Router的写数据通道 |
| WB Channel[3][3] | 写响应通道 | 3个Master Router向3个Slave Router的写响应通道 |
| AR Channel[3][3 | 读地址通道 | 3个Master Router向3个Slave Router的读地址通道 |
| R Channel[3][3] | 读数据通道 | 3个Master Router向3个Slave Router的读数据通道 |
| Slave | AW Channel[3][3] | 写地址通道 | 3个Slave Router向3个Master Router的写地址通道 |
| W Channel[3][3] | 写数据通道 | 3个Slave Router向3个Master Router的写数据通道 |
| WB Channel[3][3] | 写响应通道 | 3个Slave Router向3个Master Router的写响应通道 |
| AR Channel[3][3 | 读地址通道 | 3个Slave Router向3个Master Router的读地址通道 |
| R Channel[3][3] | 读数据通道 | 3个Slave Router向3个Master Router的读数据通道 |

## Master Router模块

### 功能描述



Master Router负责对接Master接口的数据路由：

根据写通道和写通道的指令进行仲裁并产生仲裁信号，控制Demux/Mux对通道进行路由，直到接收到读写操作完成时回释放结束仲裁信号，进入下一个读写周期。

### 实现原理

* Mux：使用AXI Channel Mux模块根据仲裁选择信号对WB Channel、R Channel进行路由
* Demux：使用AXI Channel Demux模块根据仲裁选择信号对AW Channel、W Channel、AR Channel进行路由
* 错误生成：当AXI操作的地址有误时，会被自动路由到Misrouting模块，丢弃无效数据并产生错误响应
* 地址译码：读写通道分别进行独立的译码，且仅支持一次写操作完成前锁定读、写地址通道，直到读写操作完成再进行下一个周期的读写操作。

### 信号/通道描述

|  |  |  |
| --- | --- | --- |
| 信号 | 名称 | 描述 |
| Write\_channel\_decode\_trgt | 写通道译码选择信号 | 写通道的译码选择信号 |
| Write\_finish | 写操作完成信号 | 写操作完成，Write channel decoder进行下一个周期写操作的译码 |
| Read\_channel\_decode\_trgt | 读通道译码选择信号 | 读通道的译码选择信号 |
| Read\_finish | 读操作完成 | 读操作完成，Read channel decoder进行下一个周期的读操作译码 |
| AW Channel | 写地址通道 | AXI写地址通道 |
| W Channel | 写数据通道 | AXI写数据通道 |
| WB Channel | 写响应通道 | AXI写响应通道 |
| AR Channel | 读地址通道 | AXI读地址通道 |
| R Channel | 读数据通道 | AXI读数据通道 |

## Slave Router模块

### 功能描述



Slave Router负责对接Slave接口的数据路由：

Write/Read Channel Arbiter根据Master Router的写请求进行循环优先级仲裁产生Write/Read channel arbiter trgt仲裁选择信号，然后进行接收选中Master Router的读写操作。

Slave返回的写响应和读数据在FIFO中缓存后，经由Write/Read Channel ID Decoder进行解码后产生Wb/R decode trgt选择信号选择对应的Master Router进行数据和响应发送

### 实现原理

* Mux：使用AXI Channel Mux模块根据Write/Read Channel Arbiter仲裁选择信号对AW Channel、W Channel、AR Channel进行路由
* Demux：使用AXI Channel Demux模块根据Write/Read Channel ID Decoder仲裁选择信号对Wb Channel、R Channel进行路由

### 信号/通道描述

|  |  |  |
| --- | --- | --- |
| 信号 | 名称 | 描述 |
| Wb\_id | 写响应ID | 用于产生Wb\_decode\_trgt对写响应通道进行路由 |
| R\_id | 读数据ID | 由于产生R\_decoder\_trgt对读数据通道进行路由 |
| Wb\_decode\_trgt | 写响应选择信号 | 写响应通道仲裁选择信号 |
| R\_decoder\_trgt | 读数据选择响应信号 | 读数据通道仲裁选择信号 |
| AW\_Channel\_Valid | 写地址有效 | 用于检测Master Router的写请求产生Write\_channel\_arbiter\_gnt |
| AR\_Channel\_Valid | 读地址有效 | 用于检测Master Router的读请求，产生Read\_channel\_arbiter\_gnt |
| Write\_channel\_arbiter\_gnt | 写通道仲裁信号 | 用于Slave Router写通道的仲裁选择 |
| Read\_channel\_arbiter\_gnt | 读通道仲裁信号 | 用于Slave Router读通道的仲裁选择 |
| AW Channel | 写地址通道 | AXI写地址通道 |
| W Channel | 写数据通道 | AXI写数据通道 |
| WB Channel | 写响应通道 | AXI写响应通道 |
| AR Channel | 读地址通道 | AXI读地址通道 |
| R Channel | 读数据通道 | AXI读数据通道 |

## Misrouting模块

### 功能描述



Misrouting模块用于在发生错误的地址访问时丢弃错误的访问数据并产生DEC ERROR信号。

### 实现原理

* 写地址错误：不断丢弃写数据，直到遇到WLAST信号，产生DEC ERR响应
* 读地址错误：通过计数器技术返回空数据，直到最后一个数据对其读地址信息并产生DEC ERR响应

### 信号/通道描述

|  |  |  |
| --- | --- | --- |
| 信号 | 名称 | 描述 |
| AW Channel | 写地址通道 | AXI写地址通道 |
| W Channel | 写数据通道 | AXI写数据通道 |
| WB Channel | 写响应通道 | AXI写响应通道 |
| AR Channel | 读地址通道 | AXI读地址通道 |
| R Channel | 读数据通道 | AXI读数据通道 |

## Address Decoder模块

### 功能描述



Address Decoder模块用于将主机要访问的地址进行译码转换为slave设备所在的Slave Router端口选择信号，用于Master router对AXI Channel的Mux/Demux

### 实现原理

* 使用组合逻辑判断译码产生选择信号

### 信号描述

|  |  |  |
| --- | --- | --- |
| 信号 | 名称 | 描述 |
| Slave\_address | 地址信号 | 主机读写地址通道访问的地址 |
| Slave\_router\_trgt | 端口选择信号 | 要选择的Slave Router信号 |

## Crossbar Arbiter模块

### 功能描述



ID Decoder模块用于将从机产生的响应ID进行译码转换为master设备所在的Master Router端口选择信号，用于Slave Router router对AXI Channel的Mux/Demux

### 实现原理

* 使用循环优先级的方式进行仲裁，记录上一次的仲裁结果并根据当前的请求产生仲裁选择信号

### 通道描述描述

|  |  |  |
| --- | --- | --- |
| 信号 | 名称 | 描述 |
| Master\_request | 主机请求信号 | Master Router发送的读写请求 |
| Master\_router\_gnt | 主机选择信号 | 要选择的Master Router信号 |

## ID Decoder模块

### 功能描述



Misrouting模块用于在发生错误的地址访问时丢弃错误的访问数据并产生DEC ERROR信号。

### 实现原理

* 使用组合逻辑判断译码产生选择信号

### 通道描述描述

|  |  |  |
| --- | --- | --- |
| 信号 | 名称 | 描述 |
| Master\_id | ID信号 | 读写通道响应的Master ID信息 |
| Master\_router\_trgt | 端口选择信号 | 要选择的Master Router信号 |